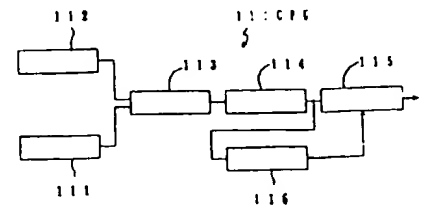


## (54) METHOD AND DEVICE FOR CONGESTION CONTROL

(11) 5-83299 (A) (43) 2.4.1993 (19) JP  
 (21) Appl. No. 3-239338 (22) 19.9.1991  
 (71) FUJITSU LTD(1) (72) KAZUO UEMOTO  
 (51) Int. Cl.<sup>5</sup> H04L12/56

**PURPOSE:** To prevent congestion due to a control request by limiting inflow/outflow of the control processing request to a higher-order subsystem for a prescribed time based on the resource use rate of the higher-order subsystem.

**CONSTITUTION:** A CPU is provided with not only a use rate detecting means 111 consisting of a program which detects the use rate but also a counting means which counts the control processing request flowing in and out within a prescribed time. When the use rate of the CPU is low and a discriminating means 113 discriminates "no controlled", the inputted control processing request is subjected to required processing by the CPU and is outputted. When the means 113 discriminates "controlled", an operation means 114 operates the time of the control in consideration of the inflow/outflow volume of the control processing request in the prescribed time and the use rate of the CPU. A reception control means 115 receives the operation result of the means 114 to control inflow/outflow of data only for the prescribed time. Thus, congestion due to the control processing request is prevented even if the use rate of the CPU is high.



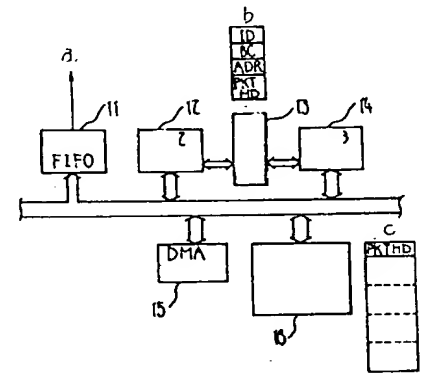
116: timer means

## (54) PACKET PROCESSING DEVICE

(11) 5-83300 (A) (43) 2.4.1993 (19) JP  
 (21) Appl. No. 3-245323 (22) 25.9.1991  
 (71) NEC CORP (72) TATSUO KOBAYASHI  
 (51) Int. Cl.<sup>5</sup> H04L12/56

**PURPOSE:** To perform the packet division processing without degrading the packet processing capability in a packet processing device.

**CONSTITUTION:** A three-layered processor 14 generates a transfer instruction including a packet head additional identifier, a packet header, the number of transfer bytes, and an address with respect to each of plural data blocks obtained by dividing packet data in a packet data storage memory 16 by a prescribed number of bytes or smaller. A two-layered processor 12 adds the packet header in accordance with the transfer instruction when addition of the packet header is designated, and a packet is generated by this packet header and data read out from the packet data storage memory 16 in accordance with the address and the number of transfer bytes and is outputted.



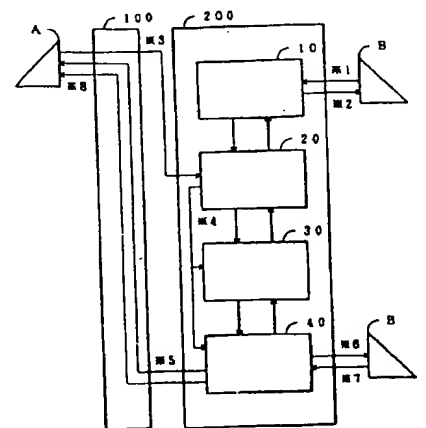
11: FOFO for transmission, 13: memory for interface, 15: DMA controller, a: to terminal, b: packet transfer instruction format, c: packet data

## (54) INCOMING CALL ORDER RECEPTION COMMUNICATION SYSTEM FOR PACKET FORM TERMINAL EQUIPMENT

(11) 5-83301 (A) (43) 2.4.1993 (19) JP  
 (21) Appl. No. 3-239037 (22) 19.9.1991  
 (71) FUJITSU LTD (72) TADASHI KATABUCHI(1)  
 (51) Int. Cl.<sup>5</sup> H04L12/56

**PURPOSE:** To realize the incoming call order reception communication system of a packet form terminal equipment in which calls reached in the incoming disable state are communicated according to the arrived order.

**CONSTITUTION:** When a packet form terminal equipment B implements the incoming call order reception processing, the packet form terminal equipment B registers an incoming call order reception number to an incoming call order reception contract means 10, and when a setup request comes from a packet form terminal equipment A and the packet form terminal equipment B is in an incoming call disable state, the said setup request is registered to a tail end of an incoming call order reception registration means 30. When the packet form terminal equipment B at the called party is able to receive a call, an incoming call order reception communication control means 40 extracts the setup request of the lowest number to be registered and implements the incoming call processing.



20: incoming call order reception discrimination means, 100: caller side packet exchange, 200: called party packet

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-83300

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.<sup>5</sup>

H04L 12/56

識別記号

庁内整理番号

FI

技術表示箇所

8529-5K

H04L 11/20

102 F

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号

特願平3-245323

(22)出願日

平成3年(1991)9月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小林 達生

東京都港区芝五丁目7番1号日本電気株式会社内

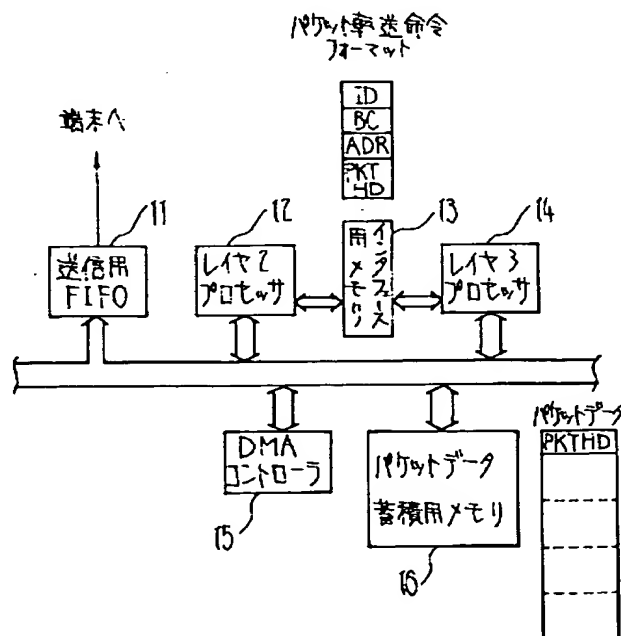
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 パケット処理装置

(57)【要約】

【目的】 パケット処理装置においてパケット処理能力を低下させずにパケット分割処理を行う。

【構成】 レイヤ3プロセッサ14は、パケットデータ蓄積用メモリ16のパケットデータを所定バイト数以下に分割した複数のデータブロックごとに、パケットヘッダ付加識別子と、パケットヘッダと、転送バイト数と、アドレスとを含む転送命令を作成する。レイヤ2プロセッサ12はこの転送命令に応じて、パケットヘッダ付加が指定されていれば、そのパケットヘッダを付加し、アドレスと転送バイト数に従ってパケットデータ蓄積用メモリ16から読み出されたデータとともにパケットを作成し出力する。



1

## 【特許請求の範囲】

【請求項1】 CCITT勧告X. 25プロトコルに従ってパケットデータを処理し所定の長さ以下の複数のパケットに分割して出力するパケット処理装置において、ネットワークからのパケットデータを蓄積するパケットデータ蓄積用メモリと、X. 25レイヤ3の処理を行い前記パケットデータ蓄積メモリに蓄積されたパケットデータの所定のバイト数以下に分割された複数のデータブロックの各々に対応する複数の転送命令を作成するレイヤ3プロセッサと、X. 25レイヤ2の処理を行い前記転送命令に応じて前記パケットデータ蓄積用メモリからデータを読み出し出力パケットを作成するレイヤ2プロセッサとを備え、前記レイヤ3プロセッサが、前記転送命令として、パケットヘッダを付加するか否かを指定するパケットヘッダ付加識別子と、前記パケットヘッダを付加する場合はそのパケットヘッダと、転送バイト数と、前記パケットデータ蓄積用メモリのアドレスとを含んで設定し、前記レイヤ2プロセッサが、この転送命令中の前記パケットヘッダ付加識別子を判定し、パケットヘッダ付加が指定されていればこの転送命令中の前記パケットヘッダを前記出力パケットのパケットヘッダとし、前記アドレスと前記転送バイト数に応じて前記パケットデータ蓄積用メモリから読み出したデータを前記出力パケットのデータとすることを特徴とするパケット処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、パケットの分割処理を行うパケット処理装置に関する。

## 【0002】

【従来の技術】従来のCCITT X. 25プロトコルを用いるパケット処理装置を図3に示す。このパケット処理装置が収容している端末の許容パケット長より長いパケットを送る時は、レイヤ3プロセッサ24がパケットデータ蓄積用メモリ26上の長いパケットをメモリコピーすることで、短いパケットにパケットヘッダ(PKTHD)を付けて完全なパケットの形を生成し、インタフェース用メモリ23上にパケットデータのバイト数(BC)とパケットデータの先頭アドレス(ADR)を含むパケット転送命令を書き込む。レイヤ2プロセッサ22は、レイヤ2のアドレスフィールドとコントロールフィールドとを送信用FIFO21に直接書き込んだ後、前述のパケットデータのバイト数(BC)と先頭アドレス(ADR)とをDMAコントローラ25に設定し起動をかける。起動をかけられたDAMコントローラ25は、パケットデータ蓄積メモリ26からパケットデータを送信用FIFO21に順次書き込んでいく。これを分割コピーされた短いパケット数だけ転送することで、パケット分割処理を行っていた。

## 【0003】

2

【発明が解決しようとする課題】この従来のパケット処理装置ではレイヤ3プロセッサが長いパケットをメモリ上に短いパケットに展開して、各々パケットヘッダを付けてパケット長変換処理を行っていたため、パケット変換の処理能力がパケット長に依存し、しかもメモリのコピー処理だけ余分に処理時間がかかり、いちじるしい処理能力の低下につながるという欠点があった。

## 【0004】

【課題を解決するための手段】本発明のパケット処理装置は、CCITT勧告X. 25プロトコルに従ってパケットデータを処理し所定の長さ以下の複数のパケットに分割して出力するパケット処理装置において、ネットワークからのパケットデータを蓄積するパケットデータ蓄積用メモリと、X. 25レイヤ3の処理を行い前記パケットデータ蓄積メモリに蓄積されたパケットデータの所定のバイト数以下に分割された複数のデータブロックの各々に対応する複数の転送命令を作成するレイヤ3プロセッサと、X. 25レイヤ2の処理を行い前記転送命令に応じて前記パケットデータ蓄積用メモリからデータを読み出し出力パケットを作成するレイヤ2プロセッサとを備え、前記レイヤ3プロセッサが、前記転送命令として、パケットヘッダを付加するか否かを指定するパケットヘッダ付加識別子と、前記パケットヘッダを付加する場合はそのパケットヘッダと、転送バイト数と、前記パケットデータ蓄積用メモリのアドレスとを含んで設定し、前記レイヤ2プロセッサが、この転送命令中の前記パケットヘッダ付加識別子を判定し、パケットヘッダ付加が指定されていればこの転送命令中の前記パケットヘッダを前記出力パケットのパケットヘッダとし、前記アドレスと前記転送バイト数に応じて前記パケットデータ蓄積用メモリから読み出したデータを前記出力パケットのデータとする構成である。

## 【0005】

【実施例】次に本発明について図面を参照して説明する。

【0006】図1は本発明の一実施例のパケット処理装置のハードウェア構成及びメモリ上でのデータフォーマットを示す図である。ハードウェアのブロック構成は図3の従来例と同様である。図2はX. 25プロトコルのデータフォーマットを示す図であり、(a)はレイヤ2のエフレームフォーマットを、(b)はレイヤ3のデータパケットフォーマットを示す。

【0007】収容されている端末が128バイトのデータしか受信できない場合、ネットワークを介して通信相手端末から送られてきた512バイトデータがパケットデータ蓄積用メモリ16にあるとき、レイヤ3プロセッサ14はレイヤ2とのインタフェース用メモリ13上に、まずパケットヘッダ付加識別子(ID)=0としてパケットヘッダ(PKTHD)付加不要のパケット転送命令を転送バイトカウンタ(BC)を128に設定して

書き込む。さらにレイヤ3プロセッサ14は、残りの384バイトのデータに対して、ID=1すなわちパケットヘッダ付加要とし、転送バイトカウンタ(BC)を“128”に設定し、蓄積用メモリ16上のDMA転送先頭アドレス(ADR)を128バイトずつ増やすことで、3つのパケット転送命令に分割しインタフェース用メモリ13へ書き込む。レイヤ2プロセッサ12はインタフェース用メモリ13上のパケット転送命令を読みいき、アドレスフィールド(A)と、コントロールフィールド(C)を送信用FIFO11に書き込んだ後、ID=0のときはDMAコントローラ15にDMA転送先頭アドレス(ADR)と転送バイト数(BC)を設定し、ID=1のときはパケットヘッダ(PKTHD)を直接送信用FIFO11に書き込んだ後、DMAコントローラ15にDMA転送先頭アドレス(ADR)と転送バイト数(BC)を設定し、DMAコントローラ15を起動する。起動されたDMAコントローラ15はパケットデータ蓄積用メモリ16からパケットデータを送信用FIFO11に転送して、512バイトのデータが128バイトのデータを持つ4つのパケットとして端末側へ

送出される。

【0008】

【発明の効果】以上説明したように本発明は、パケットの分割処理をデータをコピーすることなしに行なうので、パケット処理能力を低下させず、パケット分割処理を行なえるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】X.25プロトコルのデータフォーマットを示す図である。

【図3】従来のパケット処理装置のブロック図である。

【符号の説明】

11、21 送信用FIFO

12、22 レイヤ2プロセッサ(X.25レイヤ2処理用プロセッサ)

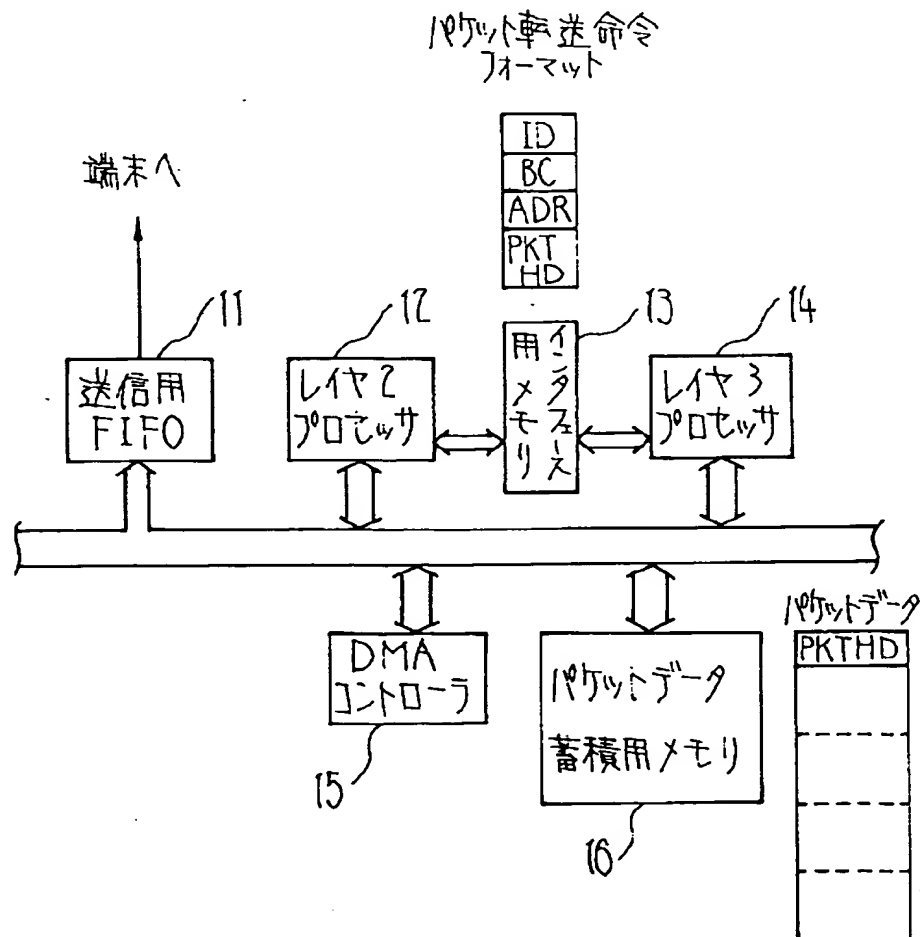
13、23 インタフェース用メモリ

14、24 レイヤ3プロセッサ(X.25レイヤ3処理用プロセッサ)

15、25 DMAコントローラ

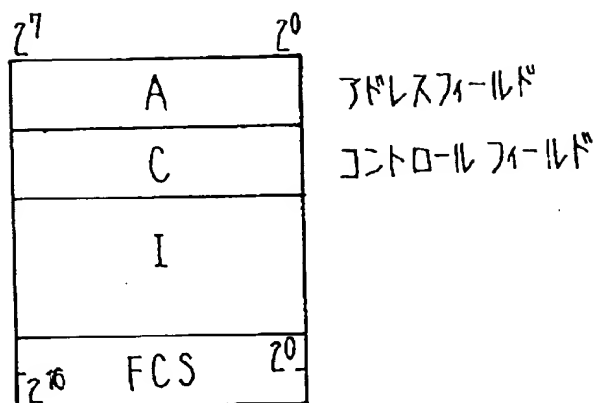
16、26 パケットデータ蓄積用メモリ

【図1】

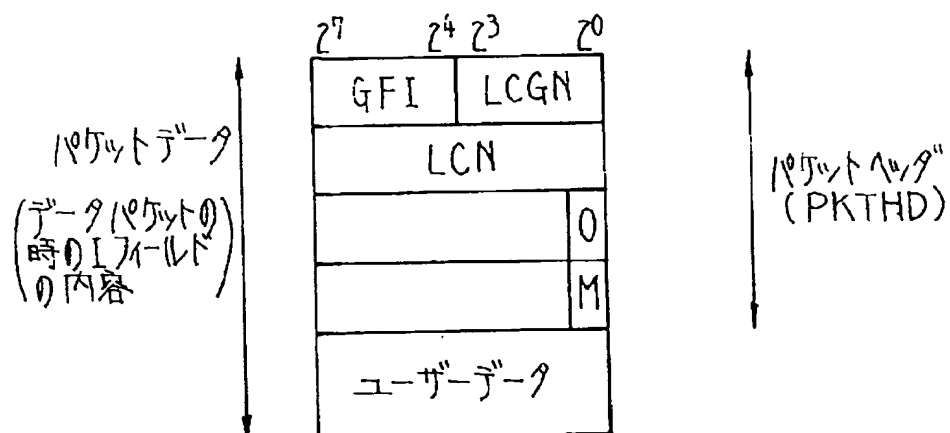


【図2】

(a)



(b)



【図3】

